

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-195718

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1
29/788		G 1 1 C 17/00	6 1 1 F
29/792			6 2 1 A
G 1 1 C 16/02		H 0 1 L 27/10	4 3 4
16/04			

審査請求 未請求 請求項の数20 O L (全 23 頁) 最終頁に続く

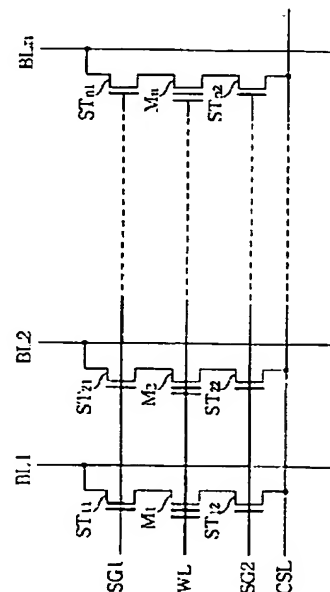
(21) 出願番号	特願平10-67243	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番35号
(22) 出願日	平成10年(1998) 3月17日	(72) 発明者	江守 孝之 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内
(31) 優先権主張番号	特願平9-300871	(72) 発明者	李 明 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内
(32) 優先日	平 9 (1997) 10月31日	(74) 代理人	弁理士 佐藤 隆久
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平9-303113		
(32) 優先日	平 9 (1997) 11月 5 日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 不揮発性半導体記憶装置と、その製造方法及びその駆動方法

(57) 【要約】

【課題】非選択セルの書き込みディスタ urb を防止するあまり、ブロックサイズや高速動作等が制約を受ける。

【解決手段】各メモリセルごとに、電荷蓄積手段（例えば F G、電荷トラップ等）の蓄積電荷量に応じて情報を記憶するメモリトランジスタ M₁ ~ M_n と、そのソースと共通電位線 C S L との間、及びドレインとビット線 B L₁ ~ B L_n との間に接続された第 1 及び第 2 の選択トランジスタ (S T₁₁ ~ S T_{n1}, S T₁₂ ~ S T_{n2}) とを有する。かかる 3 トランジスタセル構成では、メモリトランジスタ分の専有面積が不要にできるゲート電極の近接配置が望ましい。また、当該 3 トランジスタセル構成のメモリブロックと、選択トランジスタ間にメモリトランジスタを複数有するメモリブロックとの間で、例えばデータの要求ビット品質に応じて書き込み対象を切替制御し、極力、面積増大を抑制するとよい。



【特許請求の範囲】

【請求項1】 電荷蓄積手段の蓄積電荷量に応じて情報を記憶するメモリトランジスタをメモリセル内に有する不揮発性半導体記憶装置であって、

上記各メモリセルごとに、上記メモリトランジスタのソース又はドレインの一方とビット線との間に接続された第1の選択トランジスタと、

当該メモリトランジスタのソース又はドレインの他方と共通電位線との間に接続された第2の選択トランジスタとを有する不揮発性半導体記憶装置。

【請求項2】 前記メモリトランジスタは、半導体基板又は基板に支持された半導体層の表面側に互いに離間して配置され、前記第1又は第2の選択トランジスタのソース又はドレインにそれぞれ接続された第1及び第2の不純物領域と、

当該第1及び第2の不純物領域間の前記半導体基板又は半導体層上に接するゲート絶縁膜と、

当該ゲート絶縁膜および前記電荷蓄積手段を少なくとも含む積層膜を介して前記半導体基板又は前記半導体層上に積層された制御電極とを有する請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記積層膜は、その前記ゲート絶縁膜上に前記電荷蓄積手段として導電性のフローティングゲートを有する請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 前記積層膜は、当該積層膜を構成する窒化膜中、及び窒化膜と酸化膜との界面付近に前記電荷蓄積手段として、少なくとも前記半導体基板又は前記半導体層に対向する面内で離散化された電荷トラップを有する請求項2に記載の不揮発性半導体記憶装置。

【請求項5】 前記メモリトランジスタと前記第1及び第2の選択トランジスタとからなるメモリセルを複数配置して構成された第1のメモリブロックと、

前記ビット線に接続された第1の選択トランジスタ、前記共通電位線に接続された第2の選択トランジスタ間に、複数のメモリトランジスタを接続させてなる単位ブロックを複数配置して構成された第2のメモリブロックとを有する請求項1に記載の不揮発性半導体記憶装置。

【請求項6】 メモリトランジスタに直列に、ビット線に接続される第1の不純物領域との間に第1の選択トランジスタを配置すると共に、共通電位線に接続される第2の不純物領域との間に第2の選択トランジスタを配置してメモリセルが構成され、

上記第1及び第2の選択トランジスタの間の領域に、半導体基板又は基板に支持された半導体層との間に形成された第1の絶縁膜と、上記第1及び第2の選択トランジスタのゲート電極側壁に形成された第2の絶縁膜を介して上記メモリトランジスタのゲート電極が設けられている不揮発性半導体記憶装置。

【請求項7】 前記第1の絶縁膜と前記第2の絶縁膜が同一材料で一体に形成されている請求項6記載の不揮発性

半導体記憶装置。

【請求項8】 前記メモリトランジスタのゲート電極は、前記第1の絶縁膜上のフローティングゲートと、当該フローティングゲート上に誘電体膜を介して積層されたコントロールゲートとから構成されている請求項6に記載の不揮発性半導体記憶装置。

【請求項9】 前記第1及び第2の選択トランジスタのゲート電極上に、それぞれオフセット絶縁膜を有し、

前記メモリトランジスタのゲート電極は、そのチャネル長方向両側部分が上記オフセット絶縁膜上に延在している請求項6に記載の不揮発性半導体記憶装置。

【請求項10】 前記第1及び第2の選択トランジスタの各ゲート電極側面のうち、前記第1及び第2の不純物領域側に臨む各側面にそれぞれ形成された第1のサイドウォール絶縁膜と、

前記オフセット絶縁膜上で、前記メモリトランジスタのゲート電極のチャネル長方向両側面にそれぞれ形成された第2のサイドウォール絶縁膜と、

上記第1及び第2のサイドウォール絶縁膜を内壁に有し、前記第1及び第2の不純物領域上にそれぞれ開口する自己整合コンタクト孔と、

前記第1の不純物領域上の自己整合コンタクト孔内に埋め込み形成された接続プラグと、

前記第2の不純物領域上の自己整合コンタクト孔内に埋め込み形成された共通電位配線層とを有する請求項9に記載の不揮発性半導体記憶装置。

【請求項11】 前記接続プラグおよび前記共通電位配線層は、表面が高融点金属シリサイドにより覆われた導電性シリコンから構成されている請求項10記載の不揮発性半導体記憶装置。

【請求項12】 前記共通電位線は、前記共通電位配線層から構成され、

前記ビット線は、前記接続プラグ上に接し、かつ層間絶縁層を介して前記共通電位配線層上に交差して配線されている請求項10記載の不揮発性半導体記憶装置。

【請求項13】 前記メモリトランジスタと前記第1及び第2の選択トランジスタとからなるメモリセルを複数配置して構成された第1のメモリブロックと、

前記ビット線に接続された第1の選択トランジスタ、前記共通電位線に接続された第2の選択トランジスタ間に複数のメモリトランジスタを接続させてなる単位ブロックを複数配置して構成された第2のメモリブロックとを有する請求項6に記載の不揮発性半導体記憶装置。

【請求項14】 メモリセル内のトランジスタ形成に際し、第1の選択トランジスタ、メモリトランジスタおよび第2の選択トランジスタを直列に接続させて半導体基板又は基板に支持された半導体層に形成する不揮発性半導体記憶装置の製造方法であって、

半導体基板又は半導体層内の表面側に形成され、ビット線に接続される第1の不純物領域および共通電位線に接

続される第2の不純物領域の間の半導体領域上に、前記第1の選択トランジスタ用の第1ゲート電極と第2の選択トランジスタ用の第2ゲート電極を、互いに離間させ、且つそれぞれ第1のゲート絶縁膜を介して形成する工程と、

前記第1及び第2のゲート電極の間に、前記半導体領域との間、第1及び第2のゲート電極の側壁との間それぞれに第2のゲート絶縁膜を介在させて、前記メモリトランジスタ用の第3のゲート電極を形成する工程とを有する不揮発性半導体記憶装置の製造方法。

【請求項15】前記第1及び第2のゲート電極の形成と同時に、当該各ゲート電極上にオフセット絶縁膜を予め形成しておく、

前記第3の電極形成工程が、上記オフセット絶縁膜と前記第2のゲート絶縁膜上に第1の導電膜を成膜する工程と、

上記第1の導電膜を前記トランジスタの直列接続方向と略平行なストライプ状にパターンニングする工程と、

上記第1の導電膜上に誘電体膜と第2の導電膜を順に成膜する工程と、

上記第2の導電膜と誘電体膜を、下層の前記第1の導電膜とともに前記トランジスタの直列接続方向と略直交するストライプ状にパターンニングし、前記第1の導電膜からなりセルごとに分断されたフローティングゲート、及び前記第2の導電膜からなり前記誘電体膜上に積層されたワード線を同時形成する工程とを有する請求項14に記載の不揮発性半導体記憶装置の製造方法。

【請求項16】前記第3の電極形成後、当該第3のゲート電極と前記第1及び第2ゲート電極との各側面にサイドウォール絶縁膜を形成する工程と、

上記サイドウォール絶縁膜の形成と同時に前記第1および第2の不純物領域上でそれぞれ開口した自己整合コンタクト孔内に、それぞれ導電材料を埋め込む工程と、

前記第1の不純物領域上の導電材料からなる接続プラグ上に接し、前記第2の不純物領域上の導電材料からなる共通電位配線層上に層間絶縁層を介して交差するビット線を形成する工程とを更に有する請求項14に記載の不揮発性半導体記憶装置の製造方法。

【請求項17】前記導電材料の埋め込みは、選択CVDにより行う請求項16記載の不揮発性半導体記憶装置の製造方法。

【請求項18】ビット線に接続された第1の選択トランジスタと、共通電位線に接続された第2の選択トランジスタとの間にメモリトランジスタを直列接続させてメモリセルが構成された不揮発性半導体記憶装置の駆動方法であって、

前記第1および第2の選択トランジスタの少なくとも一方を、行方向のメモリセル間で共通に駆動し、情報の書き込み、読み出しまたは消去を行う不揮発性半導体記憶装置の駆動方法。

【請求項19】前記書き込みの際し、非選択の前記ビット線に、前記メモリトランジスタの制御電極を行方向に共通に接続したワード線のうち選択されたワード線と略同じ電圧を印加する請求項18に記載の不揮発性半導体記憶装置の駆動方法。

【請求項20】前記メモリトランジスタと前記第1及び第2の選択トランジスタとからなるメモリセルを複数配置して構成された第1のメモリブロックと、

前記ビット線に接続された第1の選択トランジスタ、前記共通電位線に接続された第2の選択トランジスタ間に、複数のメモリトランジスタを接続させてなる単位ブロックを複数配置して構成された第2のメモリブロックとを有する不揮発性半導体記憶装置の駆動方法であって、

書き込みの際し、上記第1のメモリブロックに第1のデータを書き込み、

上記第2のメモリブロックに第2のデータを書き込む不揮発性半導体記憶装置の駆動方法。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】本発明は、例えばフローティングゲート等の電荷蓄積手段を有し、当該電荷蓄積手段に電気的に情報を書き込み消去する不揮発性半導体記憶装置、その製造方法及び駆動方法に関する。特定の、本発明は、不揮発性半導体記憶素子を共通線（ビット線又はソース線）に対し並列に配置した記憶セルアレイであって、繰り返し書き込み消去による劣化を防止し、且つ高速に動作可能なメモリセル配置構造、省面積なメモリセル内のトランジスタ配置構造及び製造方法、および、特に書き込み時のインヒビット電圧設定及び上記配置構造のメモリセルと通常のメモリセル間でデータの種類の応じて書き込み対象を制御する駆動方法とに関する。

【0002】

【従来の技術】不揮発性半導体記憶装置のセル方式は、NOR型とNAND型に大別でき、さらにNOR型には、いわゆるAND型やDINOR型等のビット線およびソース線が階層化されたもの、ソース線分離型、ソース線が行方向2セル間で共通化されたものなど種々提案されている。

【0003】従来技術1

いわゆるAND型アレイは、その低電圧駆動のために情報の書き込み、消去ともにFN(Fowler Nordheim)トンネルリングを利用することによって書き込みおよび消去動作に伴いゲート絶縁膜が劣化し難く、且つ、ある程度的高速動作が可能なメモリセル構成である。

【0004】図19は、一般的なAND型のメモリセルアレイの一部を示す回路図である。また、図20は図19に対応する部分についてのAND型メモリセルアレイの平面図、図21は当該AND型アレイのバイアス電圧

の一般的な設定条件を示す表である。このAND型メモリセルアレイ100では、図19に示すように、2つのブロック選択トランジスタ間に所定数(図19では、簡略化のため4個)のメモリトランジスタを並列接続させてAND列(メモリブロック)が構成されている。すなわち最初のブロックでは、ビット線B1とソース線S1との間に、ドレインがビット線B1に接続されたブロック選択トランジスタBT11と、ソースが共通ソース線S1に接続されたブロック選択トランジスタST11とが設けられ、ブロック選択トランジスタBT11のソースとブロック選択トランジスタST11のドレインとの間に、メモリトランジスタM11~M14が並列接続されている。同様に2番目のブロックでは、ビット線B2とソース線S2との間に、ドレインがビット線B2に接続されたブロック選択トランジスタBT21と、ソースがソース線S2に接続されたブロック選択トランジスタST21とが設けられ、ブロック選択トランジスタBT21のソースとブロック選択トランジスタST21のドレインとの間に、メモリトランジスタM21~M24が並列接続されている。メモリセルアレイ100では、このような構成のメモリブロックが行列状に多数配置されている。

【0005】ビット線側の各ブロック選択トランジスタBT11、BT21は、ビット線ブロック選択信号線WBにより制御され、ソース線側の各ブロック選択トランジスタST11、ST21は、ソース線ブロック選択信号線WSにより制御される。

【0006】図20に示す平面図では、図中の太線で示すように、LOCOS等の素子分離領域101に周囲を囲まれた領域により、各メモリブロックの能動領域が形成されている。能動領域の一端には、ブロック選択トランジスタBT11、BT21のドレインをなす不純物拡散領域102上に、これと上層のビット線B1又はB2とを接続するためのビットコンタクトBCが設けられ、能動領域の他方端には、ブロック選択トランジスタST11、ST21のソースをなす不純物拡散領域103上に、これと上層のソース線S1又はS2とを接続するためのソースコンタクトSCが設けられている。また、ブロック選択トランジスタBT11、BT21のソースを兼ねるドレイン不純物拡散領域104と、ブロック選択トランジスタST11、ST21のドレインを兼ねるソース不純物拡散領域105が、それぞれ能動領域内を列方向に延在して互いに平行に設けられ、この両不純物拡散領域104、105間に、各メモリトランジスタが並列に設けられている。

【0007】かかる構成のAND型メモリセルアレイ100において、例えばメモリトランジスタM11に対し書き込みを行う場合、図21に示すように、ビット線ブロック選択信号線WBに正の電圧VM(例えば $V_{pp}/2$: +10V)を印加し、ソース線ブロック選択信号線

WSを接地する。また、選択ビット線B1を接地し、他の全てのビット線(非選択ビット線B2、...)を正の電圧VM(例えば $V_{pp}/2$: +10V)にバイアスする。これにより、ビット線B1、B2に連なるブロック選択トランジスタBT11、BT21がオンし、ソース線S1、S2に連なるブロック選択トランジスタST11、ST21はオフのままである。したがって、選択ブロックのメモリトランジスタM11~M14のドレインに選択ビット線B1の電位が付与され、基板とともに0Vで保持される一方、非選択なブロックのメモリトランジスタM21~M24のドレインは、非選択ビット線電位に基づく所定電位Vch($V_M - (\text{ブロック選択トランジスタBT21のゲート閾値電圧})$)で保持される。

【0008】全てのワード線W1~W4を基板と同電位(例えば0V)にした状態から、選択ワード線W1のみ正の高電圧 V_{pp} (例えば+20V)を印加する。これにより選択ブロック内では、選択メモリトランジスタM11のみオンしてチャンネルが形成され、当該チャンネル、ドレイン及びフローティング状態にあったソースが共に0Vで保持され、ゲート電圧 V_{pp} による電界がゲート絶縁膜にかかり、ゲート絶縁膜上のフローティングゲートに基板側から電子がFN(Fowler-Nordheim)トンネル現象により注入される。なお、同じブロック内の非選択メモリトランジスタM12~M14は、チャンネルが形成されず、基板とともにソースとドレインが0Vであるが、ゲート電圧が0Vなので、ゲート絶縁膜に電界がかからず電子は注入されない。一方、非選択ブロック内においても、上記選択ブロックと同様に、選択ワード線W1に接続された非選択メモリトランジスタM21がオンし、他の非選択メモリトランジスタM22~M24はオフのままである。ところが、当該非選択ブロック内では、オン状態の非選択メモリトランジスタM21のチャンネルとソースとドレイン、及び、オフ状態の他の非選択メモリトランジスタM22~M24のソースとドレインが非選択ビット線電圧に近いVchで保持されるので、全てのメモリトランジスタにおいてゲート絶縁膜にかかる電界が電子注入が起こるほど強くないことから、電子はフローティングゲートに注入され難くなる。

【0009】このように、図21に示す条件の書き込み方法では、選択された記憶素子のゲート電極に V_{pp} の電圧が印加され、ソース領域が隣接するブロックのソース領域と分離されているため、チャンネル、ソース及びドレインをドレイン側から付与されるビット線電位(0V)で同電圧にでき、かつソースとドレイン間に電流が流れない。このため、書き込みにおける電荷注入にFNトンネル現象を利用でき、その結果、書き込み消去を繰り返してもゲート絶縁膜の劣化が少ない。また、非選択の記憶素子については、選択ブロック内ではゲート絶縁膜に電界がかからず、非選択ブロック内では全てのソース及びドレインと、ゲート電極に高電圧 V_{pp} が印加される場

合の形成チャネルとが、すべて正の電圧 V_{ch} にバイアスされるため、ゲート絶縁膜に印加される電界が緩和されてトンネル現象が起り難く、当該ブロック内での書き込みが禁止される。

【0010】一方、消去の場合は、図21に示すように、選択トランジスタ $ST11 \sim ST21$ を全てオフさせ基板を接地させた状態で選択ワード線 $W1$ に負の高電圧($-V_{pp}$)が印加されるため、選択された行のメモリトランジスタ $M11$ のフローティングゲートから基板に電子が放出される。また、読み出し時には、図21に示すように、ビット線およびソース線ブロック選択信号線 WB 、 WS が電源電圧 V_{cc} (例えば3V)にバイアスされ、選択ビット線 $B1$ が V_{cc} より低い正の電圧 VR (例えば1.5V)にバイアスされる。この結果、選択メモリトランジスタ $M11$ のゲート閾値電圧 V_{th} の違いに応じて、選択ビット線 $B1$ に流れる電流が読み出される。

【0011】従来技術2

図22は、分離ソースNOR型メモリセルアレイの基本構成を、書き込み時のバイアス電圧設定条件とともに示す図である。この分離ソースNOR型メモリセルアレイ110は、ビット線およびソース線が階層化されていないことから前述したAND型のように選択トランジスタが設けられていない。したがって、単に、行方向に分離されたビット線とソース線との間にメモリトランジスタが並列接続され、かつワード線によって行方向にゲート電極が共通に接続された構成となっている。図22において、選択ビット線 B_{sel} と選択ワード線 W_{sel} に接続されて情報を書き込むべき選択セルをS、選択セルSと同一行に配置されて選択ワード線 W_{sel} に接続され、かつ非選択ビット線 B_{unsel} に接続された非選択セルをA、選択セルSと同一列に配置されて選択ビット線 B_{sel} に接続され、かつ非選択ワード線 W_{unsel} に接続された非選択セルをB、非選択ワード線 W_{unsel} および非選択ビット線 B_{unsel} に接続された他の非選択セルをCとそれぞれ定義する。

【0012】このような構成の分離ソース線NOR型のメモリセルアレイにおいて、書き込み時に、ソース線 SL はオープン(フローティング状態)、基板と選択ビット線 B_{sel} を共に0V、非選択ビット線 B_{unsel} を中間電位 VM (例えば、8V程度)、非選択ワード線 W_{unsel} を中間電位 VM' (例えば、10V程度)とし、選択ワード線 W_{sel} に正の高い電圧であるプログラム電圧 V_{pp} を印加する。これにより、選択セルSのゲート絶縁膜におおよそ V_{pp} の高電圧が印加され、ゲート絶縁膜中で周囲と絶縁分離された電荷蓄積手段(FG型では、フローティングゲート)に基板側から電子が注入され、書き込みが行われる。このとき非選択セルA~Cについては、いずれもゲート絶縁膜の印加電圧が選択セルSに比べ十分に低いため書き込み時の誤書き込み、誤消去を防止することとしている。

【0013】この書き込み方法は、各セルに対する書き込み時のバイアス電圧が先の従来技術1で示したAND型に対する電圧設定例とほぼ同じであり、またソース線をオープンとし、従来技術1と同様、電荷注入をFNトンネリングにより行うことにより書き込み時のゲート絶縁膜の劣化防止と高速化が図られている。また、読み出し及び消去動作も、先の従来技術1と同様にして行うことができる。

【0014】従来技術3

先の従来技術1、2は、電荷(電子)を電荷蓄積手段(フローティングゲート)に注入することにより書き込みを行ったが、逆に、電荷蓄積手段の蓄積電荷を基板側に引き抜く書き込み方法がある。

【0015】図23は、この書き込み方法に関し、分離ソース線NOR型メモリセルアレイの基本構成を書き込み時のバイアス電圧設定条件とともに示す図である。各セルの定義は、図22の場合と同様である。この書き込み方法は、AND型メモリセルアレイにも適用でき、この場合の書き込み条件を、以下では括弧書きにする。この書き込み方法では、ソース線をオープン(又は、AND型のソース選択トランジスタをオフ)させてソース線 SL をフローティング状態とし、基板と非選択ビット線 B_{unsel} (又は、AND型の非選択ブロックのドレイン不純物拡散領域、即ち副ビット線)を共に0V、選択ビット線 B_{sel} (又は、AND型の選択ブロックの副ビット線)を中間電位 VM (例えば、電源電圧 V_{cc} : 3.3V程度)、非選択ワード線 W_{unsel} を中間電位 VM' (例えば、電源電圧 V_{cc} : 3.3V程度)とする。この各ビット線電位をメモリトランジスタのドレインに伝達した状態で、選択ワード線 W_{sel} に負の高い電圧であるプログラム電圧($-V_{pp}$)を印加する。これにより、選択セルSのゲート絶縁膜におおよそ($V_{pp} + VM$)の高電圧が印加され、ゲート絶縁膜中で周囲と絶縁分離された電荷蓄積手段(FG型では、フローティングゲート)に蓄積された電子が基板側に引き抜かれ、書き込みが行われる。一方、非選択セルA~Cについては、いずれもゲート絶縁膜の印加電圧が選択セルSに比べ十分に低いため書き込み時の誤書き込み、誤消去を防止することとしている。

【0016】従来技術4

図24は、ソース線を行方向の2セル間で共有するNOR型(以下、共有ソース線NOR型という)のメモリセルアレイについて、その基本構成を書き込み時のバイアス電圧設定条件とともに示す図である。各セルの定義は、図22の場合と同様である。この書き込み方法は、共有ソース線 SL 、非選択ビット線 B_{unsel} 、非選択ワード線 W_{unsel} および基板を全て0Vとした状態で、選択ビット線 B_{sel} に中間電位 VM 、選択ワード線 W_{sel} に正の高い電圧であるプログラム電圧 V_{pp} を印加する。これにより、選択セルSのソース・ドレイン

間電圧により電界加速された電子がドレイン端でチャネルホットエレクトロンとなってゲート電極の印加電圧に引きつけられることでゲート絶縁膜の電位障壁を越えて電荷蓄積手段（フローティングゲート）に注入され、書き込みが行われる。一方、非選択セルA、Cについてはソース・ドレイン間に電圧が印加されていないため、非選択セルBについてはゲート電圧が印加されていないため、いずれに対しても書き込み時の誤書き込み、誤消去を防止することとしている。

【0017】従来技術5

図25は、NAND型メモリセルアレイについて、その一部を書き込み時のバイアス電圧設定条件とともに示す図である。各セルの定義は、図22の場合と同様である。このNAND型メモリセルアレイ130は、特にブロックの全体構成は図示しないが、図19の各ブロック内においてメモリトランジスタを並列でなく、直列に接続した構成となっている。図25において、選択セルSと非選択セルB、非選択セルAとCが、それぞれ同一ブロックに属する。

【0018】かかる構成のNAND型メモリセルアレイ130において、書き込み時には、基板およびソース線SLを接地した状態で、ビット線ブロック選択信号線に正の中間電圧（例えば、7～10V）を印加し、ソース線ブロック選択信号線を接地する。これにより、各ブロックのトランジスタ列について、そのドレイン側がビット線に接続され、ソース側がソース線（0V）から切り離されてフローティング状態となる。また、選択ビット線BLsel.を接地し、非選択ビット線BLunsel.を正の中間電圧VM（例えば7～10V程度）にバイアスする。この状態で、非選択ワード線WLunsel.に正の中間電圧VM'（例えば10V程度）、選択ワード線WLsel.に正の高電圧V_{pp}（例えば+20V）を印加する。これにより、選択セルSのゲート絶縁膜におおよそV_{pp}の高電圧が印加され、ゲート絶縁膜中で周囲と絶縁分離された電荷蓄積手段（フローティングゲート）に基板側から電子が注入され、書き込みが行われる。このとき非選択セルA～Cについては、そのゲート絶縁膜に対し中間電圧VM' またはプログラム電圧V_{pp}から中間電圧VMを差し引いた電圧しかかからないために書き込み時の誤書き込み、誤消去を防止することとしている。

【0019】一方、読み出しの場合は、図25（b）に示すように、基板およびソース線SLを接地した状態で、ビット線ブロック選択信号線およびソース線ブロック選択信号線に正の電圧（例えば、電源電圧V_{cc}程度）を印加する。これにより、各ブロックのトランジスタ列について、そのドレイン側がビット線に、ソース側がソース線（0V）に接続される。また、非選択ビット線BLunsel.を接地し、選択ワード線WLsel.に書き込み状態のセルのしきい値と消去状態のセルのしきい値の間の電圧例えば0V、非選択ワード線WLunsel.に少し高い

正の電圧（V_{cc}+α、V_{cc}が3.3Vの場合に4.5V程度）を印加する。この状態で、選択ビット線BLsel.に正の読み出し電圧VR（例えば1～2V程度）を印加する。これにより、非選択セルBのトランジスタは、その書き込み状態にかかわらずオンしてバストラジスタとして機能するが、選択セルSのトランジスタは、その書き込み状態に応じてオン／オフが決定される。したがって、ビット線に流れる電流の有無を検出することにより、選択セルSの書き込み状態を読み出すことができる。

一方、非選択ブロックのトランジスタ列は、そのソース・ドレイン間に電圧が印加されていないので、読み出しは行われない。

【0020】以上、従来の不揮発性半導体記憶装置のセル構造および書き込みを中心とした駆動方法の代表的なものを説明したが、そのほか、NOR型の一種にDINOR型、仮想接地型等があり、また書き込み方法ではアバランシェブレークダウンによるホットキャリア注入等があり、その他、様々なセル構造及び書き込み方法等が提案されている。

【0021】

【発明が解決しようとする課題】以上述べてきた従来の不揮発性半導体記憶装置においては、書き込み（又は読み出し）時に、非選択メモリトランジスタが、いわゆるゲートディスタ urb（或いはドレインディスタ urb）により、弱い書き込み状態となったり弱い消去状態となり、書き込み消去等を繰り返すうちに書き込みストレス等が増大し、場合によっては誤書き込みや誤消去が生じる可能性がある。たとえば、書き込み時において、図22～図25に示す非選択セルA～Cのうち、従来技術1、2では非選択セルBの誤書き込みによるディスタ urb、従来技術3では非選択セルCの誤消去によるディスタ urb、従来技術4では非選択セルBの誤消去によるディスタ urbが、それぞれ特に問題となる可能性が高い。また、読み出し時においては、従来技術5で非選択セルCの誤書き込みによるディスタ urbが特に問題となる可能性が高い。

【0022】この非選択セルがディスタ urbを受けることは、各セルのしきい値の分布幅を狭くする必要がある多値メモリ化において、より深刻な問題となる。また、大容量メモリを実現するためのセル微細化、及び、これに伴う或いは低消費電力化の観点から行う低電圧化に際しても、非選択セルのディスタ urb耐性が低下する結果、このディスタ urbの問題が動作信頼性を確保する上で更に重要になる。加えて多値化する場合は、尚更である。

【0023】また、前記各種セル方式の従来の不揮発性半導体記憶装置では、書き込みディスタ urbに起因した以下の2つの制約が生じる。

【0024】第1の制約は、書き換え単位であるブロックのサイズに関する。例えば、書き換え単位として図1

9に示すブロックでは、1本のワード線に接続されるメモリセル行（ページ）のサイズは通常512バイト

(B)、即ち4096ビット(b)である。1ブロックが通常16ページ程度で構成され、この場合、ブロックサイズは8kBとなる。ところが、一般に、外部記憶装置用途に適したブロックサイズは512B~数kBとされ、8kBでは少し大きすぎることになる。そこで、1ページのバイト数を減らし例えば64Bとすることも考えられるが、これではバイトあたりの書き込み時間が元の8倍となって高速性を阻害する。また、上記ブロックサイズを実質上縮小することを目的として、消去動作をブロック内で分割して行うことも考えられるが、この場合には書き込みも消去もされないページが存在し得ることから、そのページは書き込みストレスを受けて、これが蓄積され誤動作に至ることがある。例えばフラッシュメモリにおいて、一般には、書き換え単位がブロックであるといっても消去動作をブロック一括に行うのであって、プログラム動作自体はページ単位で行われる。この場合、書き込み動作の前にはブロック一括して消去動作が行われることから、先の図19の例においてビット線に近い側から順にページ書き込みを行うとすると、書き込みディスタ urbによって最も共通ソース線に近いページが受けた書き込みストレスは、せいぜい15回程度の書き込み分だけ蓄積された後にリセットされる。これに対し、消去動作をブロック内で分割して行う場合、あるページが例えば最大 1×10^6 回書き換えされる間に、一度も書き込みも消去もされないページが存在すると、このページは 1×10^6 回の書き込み分に相当するストレスを受けることになり、この結果、本来の記憶データの論理が反転する可能性が高くなる。

【0025】第2の制約は、従来のセル構造では書き込み速度が上げられないことである。たとえば、図23に示すNOR型では、選択セルSのドレイン電圧VMを上げれば書き込む速度が向上するが、その場合、非選択セルBの誤書き込みを防止するには非選択ワード線電位も上げる必要がある。しかし、非選択ワード線電圧VMを上げると、今度は非選択セルCが誤消去される可能性が高くなる。また、図22に示すNOR型では、選択ワード線電圧V_{pp}を上げれば書き込み速度が向上するが、その場合、同じページの非選択セルAの書き込みを防止するため、そのドレインに印加される中間電圧VMも上げる必要がある。しかし、中間電圧VMを上げると、非選択セルCの誤消去を防止するために非選択ワード線の電圧も上げる必要が生じ、その結果、非選択セルBが誤書き込みされる可能性が高くなる。つまり、非選択なページのディスタ urb防止と、書き込み速度の向上とはトレードオフの関係にある。この書き込みディスタ urb、及びこれに伴うブロックサイズや書き込み速度等に関する制約は、AND型やNOR型に限らずNAND型等、殆ど全てのセル方式に共通した課題である。

【0026】さらに、特にAND型やNAND型の場合、以下に述べる如く、幾つかの構造上の特有な問題がある。第1に、AND型やNAND型では、ブロック内のソース・ドレイン配線として、通常、酸化膜の下に埋め込まれた不純物拡散層を用いているため、各メモリトランジスタのソース及びドレインに寄生の抵抗及び容量が付加され、高速化の障害になる。高密度化のためブロック内のメモリトランジスタ数を増やすとソース・ドレイン配線長が長くなり、それだけ高速化を図ることが難しくなる。これらのセル方式の読み出しは当該不純物拡散層を介して行うことから、不純物拡散層の抵抗変動の影響を受けやすい上、特にNAND型では当該抵抗値が非選択セルの書き込み状態に応じて変動することから、高精度な読み出しができないこととなる。

【0027】第2に、AND型では、メモリトランジスタのチャネル幅はゲート電極の幅できまるため、駆動能力を大きくするためにはワード線の幅を大きくすることが必要になるが、図20から明らかなように、ワード線の幅を大きくすると、それだけブロックが列方向に大きくなる。このワード線の幅は、通常、プロセスの最小線幅を用いるが、そのためプロセスの実力向上にともなってメモリトランジスタの駆動能力が低下するうえ、ワード線の配線抵抗も増大する傾向にある。

【0028】第3に、AND型では、ソース・ドレイン配線を隣接する列と分離して設ける必要があるため、その配線のための領域がブロックごとに必要であり、メモリセルの大きさの割にはブロック全体の占有面積が大きく集積度が上がらない。

【0029】以上述べてきたディスタ urbの問題、それに伴う高速動作化上の制約、及びAND型等の構造上の問題は、メモリトランジスタのゲート構造がFG型に限らず、電荷蓄積手段が平面的に離散化された各種不揮発性メモリ、例えばMNOS(Metal-Nitride-Oxide Semiconductor)型、MONOS(Metal-Oxide-Nitride-Oxide Semiconductor)型等であっても、かかる課題は共通する。

【0030】本発明は、このような実情に鑑みてなされ、高集積化に配慮しながら高速化およびディスタ urbを改善した不揮発性半導体記憶装置とその製造方法および書き込み方法を提供することを目的とする。

【0031】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の不揮発性半導体記憶装置は、電荷蓄積手段(例えば、フローティングゲート、又は離散化された電荷トラップ等)の蓄積電荷量に応じて情報を記憶するメモリトランジスタをメモリセル内に有する不揮発性半導体記憶装置であって、上記各メモリセルごとに、上記メモリトランジスタのソース又はドレインの一方とビット線との間に接続された第1の選択トランジスタと、当該メモリトランジスタ

タのソース又はドレインの他方と共通電位線との間に接続された第2の選択トランジスタとを有する。

【0032】かかる不揮発性半導体記憶装置では、2つの選択トランジスタによって各メモリトランジスタのビット線或いはソース線との接続がセルごとに制御できるので、例えば書き換えブロック内に非選択なページが存在する場合でも、その非選択なページに属する各セルのソースとドレインをビット線やソース線から切り離すことができ、そのゲートにもインヒビット電圧を印加する必要もないので、当該非選択なページが書き込みディスタ
10 ーブ、或いは読み出しディスターブを受けることがない。したがって、書き換えブロック内のページ数が書き込みディスターブ等により制限されることもなく、当該ブロック内のページ数を全く自由に設定できる。また、書き込み又は読み出しの速度を上げるために、ゲート電圧（プログラム電圧）或いはドレイン電圧（リード電圧）を上げて、非選択セルへの影響がないので高速化が容易である。

【0033】本発明の他の不揮発性半導体記憶装置では、ビット線とソース線との間に直列に接続された第1
20 の選択トランジスタ、メモリトランジスタおよび第2の選択トランジスタの3個のトランジスタをメモリセルごとに有することは、上記不揮発性半導体記憶装置と同じである。とくに本不揮発性半導体記憶装置では、メモリセル内に、ビット線に接続された第1の不純物領域と、ソース線に接続された第2の不純物領域が半導体層内の表面側に互いに離間して形成されている。そして、当該第1および第2不純物領域の前記半導体層上に、前記ビ
30 ット線に近い方から順に前記第1の選択トランジスタ、前記メモリトランジスタ、前記第2のトランジスタの各ゲート電極が、互いに絶縁分離され、かつ前記半導体層に対しゲート絶縁膜で絶縁された状態で配置されている。

【0034】好ましくは、前記メモリトランジスタのゲート電極下の前記第1の絶縁膜が、当該ゲート電極側面と、これに対向する前記第1及び第2の選択トランジスタの各ゲート電極側面との間に延在してゲート電極間絶縁膜を兼ねることで、ゲート間絶縁分離構造が簡略化されている。また、好ましくは、前記メモリトランジスタのゲート電極は、その配線幅方向がメモリトランジスタ
40 のチャネル長方向と一致しているので、メモリトランジスタの実効ゲート幅が配線幅の制約を受けることがない。また、このゲート電極の配線幅方向両側部分が前記オフセット絶縁膜上に延在していることから配線抵抗が低く抑えられている。

【0035】上記不揮発性半導体記憶装置がFG型の場合、好ましくは、前記第1及び第2の選択トランジスタの各ゲート電極側面のうち、前記第1および第2の不純物領域側に臨む各側面にそれぞれ形成された第1のサイ
50 ドウォール絶縁膜と、前記オフセット絶縁膜上で、前記

メモリトランジスタのゲート電極のチャネル長方向両側面にそれぞれ形成された第2のサイドウォール絶縁膜と、上記第1及び第2のサイドウォール絶縁膜を内壁に有し、前記第1および第2の不純物領域上にそれぞれ開口する自己整合コンタクト孔と、前記第1の不純物領域上の自己整合コンタクト孔内に埋め込み形成された接続プラグと、前記第2の不純物領域上の自己整合コンタクト孔内に埋め込み形成された共通電位配線層とを有する。たとえば、この共通電位配線層によりソース線を、
10 上記接続プラグに接続する上層配線によってビット線を構成するとよい。この接続プラグおよび共通電位配線層は、表面が高融点金属シリサイドにより覆われた導電性シリコンから構成され、低抵抗化が図られている。

【0036】以上に述べてきた本発明の不揮発性半導体記憶装置では、メモリトランジスタとビット線又は共通電位線（一般には、ソース線）との接続をそれぞれ制御する2つの選択トランジスタを、メモリセルごとに有することから、当該メモリセルに情報を書き込む場合、例えばメモリトランジスタのソースをソース線と切り離す
20 ことができ、ソースとドレイン間を同電位にしたままチャネルを形成することができ、このためFNトンネル電流による書き込みが可能である。また、この書き込みの際、行方向、列方向に連なる他のメモリトランジスタを選択ビット線等から切り離すか、非選択ビット線にゲート絶縁膜印加電界が0となる電圧を印加するかの制御を自由に行える。たとえば、選択トランジスタを制御する選択信号線をワード線と同様に行方向のセル間で共通化した構成において、従来では、選択ワード線に連なる非
30 選択セルのビット線に書き込み禁止電圧を設定するに際し、その電圧値は、同じ非選択ビット線に列方向に連なる他の非選択セルが消去されない制約を伴い、自由に設定できなかった。これに対し、本発明では、当該列方向に連なる他の非選択セルの全てを非選択ビット線から切り離す制御ができ、書き込み禁止電圧値にかかる制約がない。

【0037】このような構成のセル構造は、選択トランジスタのゲート電極間にメモリトランジスタのゲート電極を近接させた構造では、セル内の3トランジスタ間でソース領域とドレイン領域を共有化することで、メモリ
40 トランジスタ分の専有面積が削減されている。この3トランジスタ構成では、従来、ブロック内でメモリトランジスタ間を接続していたソース・ドレイン配線層が不要で、その部分の面積増大がないばかりか、ビット線又はソース線との間の付加容量、付加抵抗等の寄生成分が小さいセル構成である。

【0038】一方、本発明の不揮発性半導体記憶装置では、これら3トランジスタ構成のメモリセルをメモリセルアレイの一部に有する構成も採り得る。すなわち、この場合、前記メモリトランジスタと前記第1及び第2の
50 選択トランジスタとからなるメモリセルを複数配置して

構成された第1のメモリブロックと、前記ビット線に接続された第1の選択トランジスタ、前記共通電位線に接続された第2の選択トランジスタ間に、複数のメモリトランジスタを接続させてなる単位ブロックを複数配置して構成された第2のメモリブロックとを有する。

【0039】このような2種類のメモリブロックを備えておくと、書き込みに際し、誤書き込みを有効に防止すべき高信頼性データ（第1のデータ）を3トランジスタセル構成の第1のメモリブロックに書き込み、前記第2のメモリブロックに上記高信頼性データよりも誤書き込み発生の許容頻度が大きな通常データ（第2のデータ）を書き込む制御ができる。3トランジスタセル構成では、通常、従来と同じような第2のメモリセルブロックと比較して、ビット当たりのトランジスタ数が多く、これが実効的なセル面積増大を招くことが予想されるが、このようにデータの種別に応じて書き込みべきブロックを2種類設けると、動作信頼性を損なうことなくメモリセルアレイ全体の占有面積を縮小できる。

【0040】本発明の不揮発性半導体記憶装置の製造方法では、半導体層内の表面側に形成され、ビット線に接続された第1の不純物領域とソース線に接続された第2の不純物領域の間の半導体層部分上に、前記第1の選択トランジスタ用の第1ゲート電極と第2の選択トランジスタ用の第2ゲート電極を、互いに離間させ、且つそれぞれ第1のゲート絶縁膜を介して形成し、前記第1及び第2のゲート電極の間に、前記半導体層部分との間、第1及び第2のゲート電極の側壁との間それぞれに第2のゲート絶縁膜を介在させて、前記メモリトランジスタ用の第3のゲート電極を形成する。

【0041】FG型の不揮発性半導体記憶装置においては、好ましくは、前記第1及び第2のゲート電極の形成と同時に、当該各ゲート電極上にオフセット絶縁膜を予め形成しておく。そして、前記第3の電極形成に際し、上記オフセット絶縁膜と前記第2のゲート絶縁膜上に第1の導電膜を成膜し、上記第1の導電膜を前記トランジスタの直列接続方向と略平行なストライプ状にパターンニングし、上記第1の導電膜上に誘電体膜と第2の導電膜を順に成膜し、上記第2の導電膜と誘電体膜を、下層の前記第1の導電膜とともに前記トランジスタの直列接続方向と略直交するストライプ状にパターンニングし、前記第1の導電膜からなりセルごとに分断されたフローティングゲートと、前記第2の導電膜からなり前記誘電体膜上に積層されたワード線とを同時形成する。

【0042】また、好ましくは、前記第3の電極形成後、当該第3のゲート電極と前記第1及び第2ゲート電極との各側面にサイドウォール絶縁膜を形成し、上記サイドウォール絶縁膜の形成と同時に前記第1不純物領域上と第2不純物領域上でそれぞれ開口した自己整合コンタクト孔内に、それぞれ導電材料を埋め込み、前記第1不純物領域上の導電材料からなる接続ブラグ上に接し、

前記第2不純物領域上の導電材料からなる共通電位配線層上に層間絶縁層を介して交差するビット線を形成する。

【0043】以上述べてきた本発明に係る不揮発性半導体記憶装置の製造方法では、まず、ゲート電極間の側面の絶縁が、電子がトンネリングするゲート絶縁膜と同時に形成され、また、選択トランジスタとメモリトランジスタのゲート電極上下方向の絶縁が、選択トランジスタのゲート加工と同時に形成されるオフセット絶縁膜により達成される。これらゲート電極の外側面に、それぞれサイドウォールを形成することによりビットコンタクト孔、ソースコンタクト孔が自己整合的に形成される。かかる自己整合コンタクト孔内に、導電材料を埋め込むことから、ソース配線層を当該導電材料で形成でき低抵抗化しやすい。

【0044】本発明の不揮発性半導体記憶装置の駆動方法では、ビット線に接続された第1の選択トランジスタと、共通電位線に接続された第2の選択トランジスタとの間にメモリトランジスタを直列接続させてメモリセルが構成された不揮発性半導体記憶装置の駆動方法であって、前記第1および第2の選択トランジスタの少なくとも一方を、行方向のメモリセル間で共通に駆動し、情報の書き込み、読み出しまたは消去を行う。また、好ましくは、前記書き込みに際し、非選択の前記ビット線に、前記メモリトランジスタの制御電極を行方向に共通に接続したワード線のうち選択されたワード線と略同じ電圧を印加する。これにより、当該ビット線に接続された非選択メモリトランジスタのうち、選択ワード線に連なりゲートに高電圧が印加させるメモリセルについて、そのゲート絶縁膜に対し殆ど電界がかからない。さらに、好ましくは、前記したように第1及び第2のメモリブロックを有する場合、書き込みに際し、上記第1のメモリブロックに第1のデータ（例えば、前記高信頼性データ）を書き込み、上記第2のメモリブロックに第2のデータ（例えば、前記通常データ）を書き込む。なお、本発明の不揮発性半導体記憶装置では、その読み出しに際し、非選択行の選択トランジスタを遮断状態にすることによりメモリトランジスタを過剰に消去し、ゲート閾値電圧が負になった場合でも読み出しが可能となる。

【0045】

【発明の実施の形態】本発明の不揮発性半導体記憶装置におけるメモリトランジスタは、半導体基板又は基板に支持された半導体層とゲート電極（制御電極）との間の積層膜内部に電荷蓄積手段を有する。ここで、“半導体層”は、半導体基板内の表面側に形成されたウェル、半導体基板面に形成したエピタキシャル成長層、或いはSOI (Silicon On Insulator)型の絶縁構造を有する半導体層など各種形態がある。半導体層がSOI型絶縁構造を有する場合、基板は半導体基板に限定されない。また、“電荷蓄積手段”とは、少なくともトンネル絶縁膜

を最下層に含むゲート絶縁膜内に形成され、そのゲート絶縁膜上のゲート電極への印加電圧に応じて基板側との間で電荷をやり取りし、電荷保持する電荷保持媒体をいう。電荷蓄積手段には、例えばFG等の導電層のほか、平面的に離散化されている場合がある。ここで“平面的に離散化された電荷蓄積手段”とは、ONO (Oxide-Nitride-Oxide) 膜またはNO (Nitride-Oxide) 膜等の窒化膜バルク内や酸化膜と窒化膜界面付近に形成されたキャリアトラップ、シリコン等からなり粒径がナノメートル (nm) オーダのナノ結晶、導電化ポリシリコン等からなり微細なドット状に分割された微細分割フローティングゲート等をいう。

【0046】図2～図4は、メモリトランジスタの構成例を示す素子断面図である。図2～図4中、符号1はn型またはp型の導電型を有するシリコンウェーハ等の半導体基板又は前記半導体層（以下に、基板という）、1aおよび1bは当該メモリトランジスタのソース領域およびドレイン領域を示す。ソース領域1a及びドレイン領域1bは、基板1と逆導電型の不純物を高濃度に導入することにより形成された導電率が高い領域であり、種々の形態がある。通常、ソース領域1a及びドレイン領域1bの対向側面の基板表面位置に、LDD (Lightly Doped Drain) と称する低濃度不純物領域を具備させることが多い。このソース領域1a及びドレイン領域1bに挟まれた基板領域上には、積層膜3a～3cを介してメモリトランジスタのゲート電極2が積層されている。ゲート電極2は、一般に、p型またはn型の不純物が高濃度に導入されて導電化されたポリシリコン (doped poly-Si)、又はdoped poly-Si と高融点金属シリサイドとの積層膜からなる。

【0047】図2に示すFG型のメモリトランジスタにおいて、その積層膜3aは、最下層から順にゲート絶縁膜4、フローティングゲート5、中間絶縁膜6からなる。ゲート絶縁膜4は、通常、熱酸化膜からなり、場合によって窒化処理され窒化酸化層を熱酸化膜表面に備える。また、フローティングゲート5は、例えばdoped poly-Si から構成され、中間絶縁膜6は、例えばONO (Oxide-Nitride-Oxide) 膜から構成される。

【0048】図3に示すMONOS型のメモリトランジスタにおいて、その積層膜3bは、最下層から順にゲート絶縁膜4、窒化膜7、トップ酸化膜8と全て絶縁膜から構成されている。中間の窒化膜7は、例えば窒化シリコンからなる。この窒化膜7は、電荷蓄積手段（キャリアトラップ）導入のために形成された層であり、この限りにて他の絶縁膜、例えば酸化窒化膜で代替できる。窒化膜7の形成により導入されたキャリアトラップのうち電荷蓄積手段として機能するのは、主に、窒化膜7のバルクトラップと、窒化膜7と上層のトップ酸化膜8との界面付近に形成された深いキャリアトラップである。トップ酸化膜8は、例えば熱酸化シリコンからな

り、主にゲート電極2側からのホール注入を防止する目的で設けられている。

【0049】図4に示すMNOS型のメモリトランジスタにおいて、その積層膜3cは、下層のゲート絶縁膜4、上層の窒化膜9の2層絶縁膜から構成されている。窒化膜9は、例えば窒化シリコンからなり、図3の場合と同様キャリアトラップ導入のために形成された層であり、この窒化膜9はホール注入を阻止するため比較的に厚く形成されている。

【0050】以下、本発明の不揮発性半導体記憶装置のセル構成、レイアウト構造、メモリセルアレイ構成及び駆動方法の実施形態を、図面を参照しながら詳細に説明する。

【0051】第1実施形態

図1は、単一なワード線に連なるメモリセル行（ページ）を書き換え単位とした場合を例に、本発明の実施形態に係るセル構成を示すメモリアレイの要部回路図である。本例の書き換え単位は、メモリセルが行方向に所定数、例えば512バイト分、4096個の並んで構成されている。

【0052】このメモリセルアレイでは、各メモリセルが、ドレインがビット線に接続された第1の選択トランジスタと、ソースがソース線に接続された第2の選択トランジスタと、両選択トランジスタ間に直列に接続された単一なメモリトランジスタから構成されている。すなわち、本発明のメモリセル構成は、図19に示す従来のAND型メモリセル（又は従来のNAND型メモリセルアレイ）の各メモリブロック内のメモリトランジスタを単一とした構成と等価である。ただし、メモリトランジスタを単一としたこととの関係で、本例では、従来の“ビット線ブロック選択信号線”を“ビット線選択信号線”に、“ソース線ブロック選択信号線”を“ソース線選択信号線”に、“ビット線ブロック選択トランジスタ”を“ビット線選択トランジスタ”に、“ソース線ブロック選択トランジスタ”を“ソース線選択トランジスタ”にと名称を、それぞれ置き替えている。

【0053】具体的に、各メモリセルは、図1に示すように、ドレインがビット線に接続されたビット線選択トランジスタと、ソースが共通ソース線（共通電位線）に接続されたソース線選択トランジスタと、両選択トランジスタ間に接続された単一なメモリトランジスタとから構成されている。すなわち最初のメモリセルでは、ビット線BL1と共通ソース線CSLとの間に、ドレインがビット線BL1に接続されたビット線選択トランジスタST11と、ソースが共通ソース線CSLに接続されたソース線選択トランジスタST12とが設けられ、ビット線選択トランジスタST11のソースとソース線選択トランジスタST12のドレインとの間に、メモリトランジスタM1が接続されている。同様に2番目のメモリセルでは、ビット線BL2と共通ソース線CSLとの間

に、ドレインがビット線BL2に接続されたビット線選択トランジスタST21と、ソースが共通ソース線CSLに接続されたソース線選択トランジスタST22とが設けられ、ドレイン選択トランジスタST21のソースとソース線選択トランジスタST22のドレインとの間に、メモリトランジスタM2が接続されている。このような構成のメモリセルが繰り返し配置され、最後のn番目のメモリセルでは、ビット線BLnと共通ソース線CSLとの間に、ドレインがビット線BLnに接続されたビット線選択トランジスタSTn1と、ソースが共通ソ

ース線CSLに接続されたソース線選択トランジスタSTn2とが設けられ、ビット線選択トランジスタSTn1のソースとソース線選択トランジスタSTn2のドレインとの間に、メモリトランジスタMnが接続されている。

【0054】各ビット線選択トランジスタST11～STn1は、ビット線選択信号線SG1により制御され、各ソース線選択トランジスタST12～STn2は、ソ

ース線選択信号線SG2により制御される。なお、図1ではブロック1内は1ページのみとしているが、これに限らず、かかる2選択トランジスタと1メモリトランジスタ構成のセルを並べてなるページを複数設けることもできる。

【0055】つきに、本発明の不揮発性半導体記憶装置の駆動方法の実施形態を、書き込みを例として説明する。図5は、本実施形態に係る書き込み方法のバイアス電圧の印加箇所と設定条件を示す図と表である。なお、電圧印加の手順は、以下の例に限定されない。

【0056】本実施形態の書き込み方法では、例えばビット線BL1に接続されたセルに対し書き込みを行う場合、選択ビット線BL1に0V、非選択ビット線BL2、…、BLnに中間電圧VM又は電源電圧V_{DD}、ビット線選択信号線SG1に中間電圧VM又は電源電圧V_{DD}、ソース線選択信号線SG2および基板に0Vを印加する。なお、共通ソース線CSLは0Vで保持されている。また、非選択ビット線の印加電圧がVMのときはビット線選択信号線SG1の印加電圧もVMとし、非選択ビット線の印加電圧がV_{DD}のときはビット線選択信号線SG1の印加電圧もV_{DD}とする。この状態で、ワード線WLに正の高電圧（プログラム電圧V_{PP}）を印加する。上記バイアス設定条件下、選択セルのビット線選択トランジスタは常時オン状態となるのでビット線電位（0V）が選択メモリトランジスタのチャンネルに伝達され、その結果、選択メモリトランジスタのゲート絶縁膜に高電圧V_{PP}が印加され、チャンネル全面から電子が電荷蓄積手段にトンネル注入されて書き込みが行われる。

【0057】一方、非選択セルでは、ソース線選択トランジスタがオフし、かつビット線選択トランジスタも直ぐにオフするので、非選択メモリトランジスタのチャンネルがフローティング状態となって自動的に昇圧され、そ

のチャンネル電位はプログラム電圧V_{PP}とフローティングゲート等とのカップリング比で決まる中間の電圧値で飽和する。その結果、当該非選択メモリトランジスタのゲート絶縁膜に対しV_{PP}より十分に小さいインビット電圧が設定され、これにより書き込みが禁止される。なお、上記ワード線電圧印加は、上記他のバイアス電圧設定に所定時間遅れて行うか、他のバイアス電圧設定がなされていないときは最初低い電圧にしておきしてから他のバイアス電圧設定後にプログラム電圧V_{PP}まで電圧を上昇させる。なぜなら、ワード線電位を最初から急速にプログラム電圧V_{PP}まで上げると、非選択メモリトランジスタにチャンネルが形成され、或いはその後チャンネル電位が上昇するまでに当該非選択メモリトランジスタに誤書き込みがされてしまうことから、これを防止するためである。

【0058】本実施形態に係る不揮発性メモリは、上述したように、そのメモリトランジスタのビット線又は共通ソース線との接続を制御する2つの選択トランジスタをメモリセルごとに有する。このセル構成によって、本実施形態に係る書き込み方法において、例えば図1の構成のメモリセル行が同じビット線に列方向に連なるアレイ構成であっても、非選択セルのメモリトランジスタは全てビット線或いは共通ソース線から切り離す制御が可能となる。このため、従来問題となっていた非選択行に対する書き込みディスタ urbが完全に解消される。また、このセル構成／書き込み方法では、非選択行に対する書き込みディスタ urbを配慮する必要がないので、書き換え単位（ブロック）のページ数を任意に設定でき、またプログラム電圧V_{PP}を高めて高速動作が可能となる。なお、読み出し動作においても、非選択行に対する読み出しディスタ urbが解消され、読出時のドレイン印加電圧（読み出し電圧）を高めて高速動作を達成しても、これが同一ビット線に連なる非選択セルのディスタ urb耐性を悪化させることがない。また、消去動作では、例えば基板に正の高電圧を印加するかワード線に負の高電圧を印加することにより行う。このうち後者のワード線に負の高電圧を印加する場合、上述した書き込みの場合と同様に選択的にドレインを0Vとするか正のインビット電圧の設定が可能であるので、セル毎或いはビット列ごとの消去が可能となる。

【0059】第2実施形態

本実施形態は、上記第1実施形態とは書き込み／消去の論理が反転しているときの書き込み方法（即ち、上記第1実施形態における消去方法）についてである。なお、セル構成は、先の第1実施形態と同じであり、本例においても図1がそのまま適用できる。図6は、本実施形態に係る書き込み方法のバイアス電圧の印加箇所と設定条件を示す図と表である。なお、電圧印加の手順は、以下の例に限定されない。

【0060】本実施形態の書き込み方法では、例えばビ

ット線BL1に接続されたセルに対し書き込みを行う場合、選択ビット線BL1に例えば書き込み電圧の $1/2$ の電圧VM、非選択ビット線BL2, ..., BLnに0V、ビット線選択信号線SG1に例えば電源電圧V_{pp}、ソース線選択信号線SG2および基板に0Vを印加する。なお、共通ソース線CSLは0Vで保持されている。この状態で、ワード線WLに負の電圧、例えばVMと逆極性で絶対値が同じ電圧(-VM)を印加する。上記バイアス設定条件下、選択セルのビット線選択トランジスタは直ぐにオン状態となるのでビット線電位からSG1のゲート閾値電圧分降下した電圧($VM - V_{th}$)が選択メモリトランジスタのドレインに伝達され、その結果、選択メモリトランジスタのゲート絶縁膜に高電圧($2VM - V_{th}$)が印加され、電荷蓄積手段内に蓄積されていた電子がドレイン側に引き抜かれて書き込みが行われる。

【0061】一方、非選択セルでは、ビット線選択トランジスタが常時オンし、ここでもビット線電位が非選択メモリトランジスタのドレインに伝達されるが、この非選択メモリトランジスタのゲート絶縁膜に対してはVMが印加され、これは上記書き込み時の印加電圧($2VM - V_{th}$)より充分に低いことから、これにより書き込みが禁止される。

【0062】本実施形態においても前記第1実施形態とほぼ同様な効果を得ることができる。すなわち、メモリセル行が同じビット線に列方向に連なるアレイ構成であっても、非選択セルのメモリトランジスタは全てビット線或いは共通ソース線から切り離す制御が可能となるため、従来問題となっていた非選択行に対する書き込みディスタ urb が完全に解消される。また、ブロックのページ数を任意に設定できる上、プログラム電圧VMは第1実施形態の $1/2$ 程度にできるので、ゲート絶縁膜に対するダメージをより小さくできる。またVMを高めることにより高速動作を可能とすることもできる。さらに、読み出し動作においても、非選択行に対する読み出しディスタ urb が解消されるうえに高速読み出しが可能となるし、消去動作では、先の第1の実施形態の書き込み動作と同様な作用によって、セル毎或いはビット列ごとの消去が可能となる。

【0063】第3実施形態

本実施形態は、省スペースな具体的なセル構造と、その製造方法(本発明の製造方法の実施形態)及び具体的な駆動方法を示すものである。図7(a)は、セル配置例を示す4セル分の平面図、図7(b)は図7(a)の配置例に対応した等価回路図である。また、図8は、図7(a)のA-A線に沿った断面図である。

【0064】図7において、BCはビット線とビット線選択トランジスタとを接続するビットコンタクト、SCはソース線とソース線選択トランジスタとを接続するソースコンタクトSCを示す。本配置例では、列方向に隣

接する2つセル間で、ビットコンタクトBCとソース線VSS(ソースコンタクトSC)を共有し、セル面積の縮小が図られている。また、行方向のセル間分離層として、例えばLOCOS等の素子分離領域13が配置されている。この素子分離領域13は、ソースコンタクトSCの配置領域を確保するために、ビットコンタクトBCを共有する2セルごとに列方向でも分離されている。そして、ビットコンタクトBCとソース線VSSとの間に、3個のトランジスタ(1個のメモリトランジスタと、2個の選択トランジスタ)が直列配置されているが、この配置構造を断面でみると、図8のようになる。

【0065】図8において、基板12内の表面側に、セル内の3トランジスタ間で共通な第1の不純物領域(ドレイン領域14)および第2の不純物領域(ソース領域16)が、互いに距離をおいて形成されている。ドレイン領域14およびソース領域16の離間スペース内の基板上に、例えば酸化シリコンからなる第1のゲート絶縁膜20を介して、ビット線選択トランジスタBT22のゲート電極22とソース線選択トランジスタST22のゲート電極24とが、互いに離間して配置されている。この両ゲート電極22、24の離間スペース内の基板上と、両ゲート電極22、24間で対向する両側面は、第2のゲート絶縁膜26で被膜され、また両ゲート電極22、24上に第1のオフセット絶縁膜28が形成されている。

【0066】これら絶縁膜26、28は、例えば酸化シリコンから構成されており、これら絶縁膜26、28を層間絶縁膜として、その上にメモリトランジスタM22のフローティングゲートFG、誘電体膜30(図2の中間絶縁膜に該当)、コントロールゲートCG(ワード線W2)及び第2のオフセット絶縁膜32が積層されている。これら積層膜の材質は、例えば、フローティングゲートFGが導電性ポリシリコン、誘電体膜30がONO(Oxide-Nitride-Oxide)膜、コントロールゲートCGが導電性ポリシリコン又はポリサイド、第2のオフセット絶縁膜32が酸化シリコンである。メモリトランジスタのゲート電極構造をなすこれらの積層膜は、両選択トランジスタのゲート電極22、24の離間スペース内から、それぞれ両ゲート電極22、24上の第1のオフセット絶縁膜28、28上に延在し、上層側が幅広く形成されている。これにより、ビット線幅がプロセス上の最小線幅(通常、選択トランジスタのゲート電極22、24のL/S(Line and Space))より広く、低抵抗化されている。

【0067】ビット線選択トランジスタのゲート電極22と、第1のオフセット絶縁膜28のソース領域側の側面には、例えば酸化シリコン等からなる第1のサイドウォール絶縁膜34が形成されている。この第1のサイドウォール絶縁膜34斜め上方の第1のオフセット絶縁膜28上には、例えば酸化シリコン等からなる第2のサイ

ドウォール絶縁膜36が形成されている。この第1及び第2のサイドウォール絶縁膜34、36は、ソース領域16側にも、同様に形成されている。これにより、ドレイン領域14上ではビットコンタクトBCが、またソース領域16上では、行方向に細長いソースコンタクトSCが自己整合的に形成されている。

【0068】ビットコンタクトBC内に、接続プラグ37が埋め込まれ、またソースコンタクトSC内に共通ソース線VSSとなるソース配線層46が埋め込まれている。このソース配線層46は、本発明における“共通電位配線層”に該当する。これら接続プラグ37およびソース配線層46は、本例では、例えば多結晶シリコンからなる下層の導電層38、42と、上層の高融点金属シリサイド40、44とからなっている。これら接続プラグ37及びソース配線層46を、金属或いは高融点金属のみから構成させてもよい。これは、特に配線層（ソース配線層46）については、セル間を貫いて細長く配線されることから、その低抵抗化を図る必要があるためである。このソース配線層46上と、メモリトランジスタのゲート電極上のほぼ全域とを覆うように層間絶縁層が形成され、その上に接続プラグ37に接続するかたちで、例えばA1等からなるビット線B2が配線されている。層間絶縁層は、例えば、下層の窒化シリコンからなるエッチングストップ膜48と、上層のシリコン酸化膜50とから構成される。特に図示しないが、その上には、必要に応じて更に層間絶縁層を介して第2、第3の金属配線層が積層され、最上面はオーバーコートで被膜されている。

【0069】かかる3トランジスタセル構造では、ビット線選択トランジスタBT11～BT22とソース線選択トランジスタST11～ST22の上に、ワード線W1、W2が一部オーバーラップするかたちで積層されて形成されているため、メモリトランジスタ分だけ面積増加がなく、このためメモリの専有面積が、トランジスタ3個で構成されている割には小さくて済むといった利点がある。トランジスタ数でみた1セル当たりの面積を、例えば従来構成であるAND型と比較すると、本セル構造は、メモリトランジスタ2個、選択トランジスタ2個の合計4個構成のAND型と同等となる。また、このセル構成では、従来のAND型、NAND型のよう

2）、ビット線（B1、B2）が必要であるのに対し、図7（a）の本例ではソース線が共通のため、セルの占有面積が同じならチャンネル幅を大きくすることが容易である。

【0070】つぎに、本発明の製造方法を、上記したメモリセル構造についての図9～図16を参照しながら順に説明する。まず、特に断面図は示さないが、例えばp型の半導体基板12を用意し、この基板表面の図7

（a）で太線で示す領域に、例えばLOCOS法等により素子分離領域13を島状に残して形成する。次いで、図9に示すように、基板12に第1のゲート絶縁膜20を、例えば熱酸化法により薄く成膜し、その上に多結晶シリコン膜23および第1のオフセット絶縁膜28を、例えばCVD法により順に積層する。

【0071】図10に示すように、この基板表面の積層膜20、23、28を、同一レジストパターンを用い、基板表面が一部露出するまでパターンニングすることによりビット線選択トランジスタのゲート電極（ビット線選択ゲート電極22）およびソース線選択トランジスタのゲート電極（ソース線選択ゲート電極24）を、第1のゲート絶縁膜20と第1のオフセット絶縁膜28により上下を挟んだかたちで形成する。この露出した基板部分と両ゲート電極22、24の側面を、例えば熱酸化して、上記基板部分にメモリトランジスタのゲート絶縁膜（メモリゲート絶縁膜26a）を、またゲート電極側面に側面絶縁膜26bを同時形成する。なお、上記メモリゲート絶縁膜26a及び側面絶縁膜26bは、熱酸化に代えてCVD膜を用いることもできる。

【0072】次いで、図11に示すように、全面にメモリトランジスタのフローティングゲートFGとなる多結晶シリコン膜29を成膜し、図11には示されていないが、この多結晶シリコン膜29を、ビット線選択ゲート電極22およびソース線選択ゲート電極24と直交する方向に長く、前記素子分離領域13に幅方向両端が一部オーバーラップする平行ストライプ状にパターンニングする。これにより、フローティングゲートFGについて、まず行方向のセル間分離が達成される。

【0073】つぎに、メモリトランジスタの制御ゲート電極CGとフローティングゲート電極FG間を容量結合するための誘電体膜30を全面に成膜した後（図12）、さらに全面に、制御ゲート電極CGとなる多結晶シリコン膜31と第2のオフセット絶縁膜32とを、例えばCVD法により順次、成膜する（図13）。これにより、メモリトランジスタのゲート電極構造をなす積層膜の成膜が完了する。

【0074】この積層膜、即ち下層から順に多結晶シリコン膜29、誘電体膜30、多結晶シリコン膜31、及び第2のオフセット絶縁膜32を、図14に示すように、ビット線選択ゲート電極22及びソース線選択ゲート電極24の電極間領域を覆い、両側の各電極22、2

4と平行で、かつ各電極22、24の幅方向途中まで一部重なるように幅広にパターンニングする。このパターンニングは、同一レジストパターンをマスクとして用い、第1のオフセット絶縁膜28及びメモリゲート絶縁膜26が露出するまで行う。これにより、図7(a)の平面図でみると、ビット線選択信号線WS2と、ソース線選択信号線WB2に平行で、その双方に一部オーバーラップするワード線W2が形成される。このパターンニングの際に、行方向ストライプ形の多結晶シリコン膜29が列方向に分断されることにより、セルごとに孤立した

フローティングゲートFGが形成されるその後、露出したメモリゲート絶縁膜26をスルー膜として、ソース・ドレイン用の不純物(例えば砒素イオン)を基板にイオン注入し、このメモリゲート絶縁膜26直下の基板領域に、不純物ドーブ領域14a、16aを形成する。
【0075】図15に示す工程では、図14の状態で見出したビット線選択ゲート電極22およびソース線選択ゲート電極24の両側壁に、上層の第1オフセット絶縁膜28の露出側壁とともに第1のサイドウォール絶縁膜34を形成し、これと同時に、その斜め上方のメモリトランジスタのゲート電極構造の側壁に第2のサイドウォール絶縁膜36を形成する。これらサイドウォール絶縁膜の形成は、全面に酸化膜をCVD法等により堆積した後、異方性エッチングを行うことで達成できる。このとき、図14の状態で見出していたメモリゲート絶縁膜26の内側部分がエッチングされて、これによって、サイドウォール絶縁膜に囲まれたかたちで前記ビットコンタクトBC及びソースコンタクトSCが開口される。なお、ビットコンタクトBCが孔状になるのは、素子分離領域13がLOCOSの場合その表面段差によって、LOCOS側にもサイドウォールが形成されるからであり、素子分離領域13が分離されているソースコンタクトSCの形成領域では、その分離形状に沿ってソースコンタクトSCも行方向に細長く形成される。この後、ソース・ドレイン不純物の濃度を更に高くする場合には必要に応じて、ビットコンタクトBC及びソースコンタクトSCを通して基板に、砒素またはリン等のn型不純物を高濃度にイオン注入し、ソース・ドレインの高濃度ドーブ領域14b、16bを基板に形成する。

【0076】この導入した不純物をアニールにより熱拡散させ、3トランジスタ間で共通なドレイン領域14およびソース領域16を形成した後、図16に示すように、両コンタクトBC、SC内に、導電材料を埋め込む。埋め込み方法としては種々あるが、例えば、露出した基板部分からシリコンを選択的にエピタキシャル成長させる方法がある。また、多結晶シリコンを全面に堆積した後堆積膜をCMPにより研磨するか、レジストをコーティングした後にエッチバックし堆積膜の凹部にレジストを平坦化ダミーとして残し、堆積膜とレジストとの選択比を下げて更にエッチバックする方法でも、多結

晶シリコン層38、42の形成は可能である。

【0077】つぎに、多結晶シリコン層38、42上に、高融点金属を被着し反応(合金化)させて高融点金属シリサイド40、44を形成する。その後、ビットコンタクト側に埋め込まれた導電層38、42は、ビット線選択トランジスタ間の素子分離領域13のLOCOS上で、レジストパターンをマスクとしてエッチングにより除去されて行方向に分断され、これによりセルごとに接続プラグ37が形成される。この接続プラグを形成しないで、通常の方法で層間絶縁膜を積層した後で、自己整合的にコンタクトをソース・ドレイン領域に形成しようとする、コンタクトサイズが深さに比し小さい場合には、コンタクト全体が埋まってしまい、基板に達するコンタクトを開口することが極めて困難になるので、この接続プラグ形成は特に重要である。その後、シリコン窒化膜(エッチングストップ膜48)及びシリコン酸化膜50を積層、堆積させて層間絶縁層を形成する。シリコン窒化膜48をシリコン酸化膜50の下に形成するのは、その後、ビット線接続用のコンタクト孔を形成する際に、シリコン酸化膜50をエッチングする際のコンタクト孔開口の工程で、その下の第2オフセット絶縁膜32や第2サイドウォール絶縁膜36がエッチングされないようにするためである。

【0078】つぎに、ビットコンタクト上方で広く形成された開口部を有するレジストパターンをマスクとして層間絶縁層をエッチングし、図8に示すように、ビット線接続用のコンタクト49を開口する。このビット線接続用のコンタクト49は、図示のように広く形成すれば、ビット線が延在する方向においては第2サイドウォール絶縁膜36を利用して自己整合的に形成される。続いて、アルミ等の金属により上記コンタクト49を覆い、ワード線と直交する方向にビット線を形成する。その後は、必要に応じて2層、3層目の金属配線層の形成等を経て、当該不揮発性メモリ装置が完成する。

【0079】この製造方法では、①第2のゲート絶縁膜26がフローティングゲートFGと選択ゲート電極22、24との側壁絶縁分離膜を兼ねること、②ビットコンタクトBC、ソースコンタクトSC及びビット線接続用のコンタクト49が自己整合的に形成できること、③ゲート電極とともに加工されるオフセット絶縁膜を層間絶縁層として多用し、層間絶縁層のパターンニングを目的としたリソグラフィ工程がビット線接続用のコンタクト形成の1回と少ないこと等により、製造工程が比較的簡素である。また、マスク合わせ余裕等のマージンをとる必要が余りなく、高集積化に適している。

【0080】最後に、図7に示す3トランジスタセル構成のメモリセルアレイの動作を説明する。図17は当該メモリセルアレイのバイアス電圧設定条件を示す表である。なお、電圧印加の手順は、以下の例に限定されない。

【0081】図7(b)に示すメモリセルアレイにおいて、例えばメモリトランジスタM11に対し書き込みを行う場合、図17に示すように、選択列のビット線(選択ビット線B1)を、0V又はビット線選択トランジスタBT11にチャンネルができ易い程度に弱くバイアス(例えば、1.5V印加)し、他の非選択列のビット線(非選択ビット線B2、...)を正の高電圧VM(例えば、+20V)にバイアスする。また、選択行のビット線選択信号線WB1に正の高電圧VM(例えば、+20V)を印加し、選択行のソース線選択信号線WS1を接

地する。これにより、ビット線B1、B2に連なるビット線選択トランジスタBT11、BT21がオンし、ソース線VSSに連なるソース線選択トランジスタST11、ST21はオフのままである。したがって、当該選択行においては、選択メモリトランジスタM11のドレインに選択ビット線B1の電位が付与され、基板とともに0Vとなるか、弱い正の電圧で保持される。

【0082】一方、非選択行については、選択トランジスタのオン/オフの関係が、ビット線側とソース線側で上記選択行とは逆になるように、バイアス電圧の設定を行う。すなわち、非選択行のビット線選択信号線WB2を接地し、非選択行のソース線選択信号線WS2については、ソース線選択トランジスタST12、ST22がオンする程度の正の電圧(例えば、+3V~+20V)を印加する。これにより、ビット線選択トランジスタBT12、BT22がオフし、ソース線選択トランジスタST12、ST22はオンする。したがって、当該非選択行においては、全てのメモリトランジスタM12、M22、...について、そのドレインがビット線B1、B2、...と切り離される一方、ソース電位がソース線VSSの電位(0V)に固定される。

【0083】全てのワード線W1、W2、...を基板と同電位(例えば0V)にした状態から、選択ワード線W1のみ正の高電圧であるプログラム電圧 V_p (例えば+20V)を印加する。これにより、選択行内では、選択メモリトランジスタM11がオンしてチャンネルが形成され、当該チャンネル、ドレイン及びフローティング状態にあったソースが共に0V(又は1.5V程度の弱い正の電圧)で保持され、プログラム電圧 V_p による大きな電界がゲート絶縁膜にかかり、ゲート絶縁膜上のフローティングゲートに基板側から電子がFN(Fowler-Nordheim)トンネル現象により注入される。同じ選択行内の非選択メモリトランジスタM21のドレインには、非選択ビット線B2より、ビット線選択トランジスタBT21を介して、ビット線選択信号線WB1の電圧からビット線選択トランジスタBT21のゲート閾値電圧程度降下した電圧が印加され、更に、選択ワード線W1の印加電圧によって、非選択メモリトランジスタM21のチャンネルをセルフブーストするために、非選択メモリトランジスタM21のゲートとチャンネル間には、ほぼ同じ電圧が

印加され書き込み電界が実質的にかからず、ワード線を介したディスターブ(ワード線ディスターブ)フリーとすることができる。

【0084】一方、非選択行では、ワード線W2、...が0電位のままであり、基板とともにメモリトランジスタのゲート絶縁膜に電界が全くかからない状態が確保される。

【0085】このように、図17に示す条件の書き込み方法では、選択された記憶素子については、従来と同様にチャンネル、ソース及びドレインをドレイン側から付与されるビット線電位0Vで同電圧にでき、かつソースとドレイン間に電流が流れないので、電荷注入にFNトンネル現象を利用でき、その結果、書き込み消去を繰り返してもゲート絶縁膜の劣化が少ない。また、非選択の記憶素子については、上述したように非選択行のメモリトランジスタが非選択ビット線から全て切り離す制御ができるので、ビット線を介したディスターブ(ドレインディスターブ)フリーとなる。さらに、この不要な非選択セルをビット線から切り離す制御ができることから、非選択ビット線の電圧設定に際しては、従来のように、その電圧設定が非選択行のセルに与える影響(ドレインディスターブ)を全く考慮することなく、自由に電圧を設定できる。したがって、プログラム電圧 V_p に応じて、ゲート絶縁膜にかかる電界を0又は極小化するような非選択ビット線の電圧設定が可能となり、この場合、ワード線ディスターブ(ゲートディスターブ)フリーとすることができる。

【0086】また、読み出し時には、図17に示すように、ソース線選択信号線WS1、WS2および選択ワード線W1が、正の電圧、例えば+3V程度の電源電圧 V_{DD} にバイアスされ、非選択ワード線W2が接地される。また、ビット線選択信号線については、選択行のビット線選択信号線WB1が電源電圧 V_{DD} にバイアスされる一方、非選択行のビット線選択信号線WB2は接地電位(0V)で保持される。この状態で、ビット線B1、B2、...を、0Vから電源電圧 V_{DD} まで一斉に立ち上げるか、選択ビット線を0Vから電源電圧 V_{DD} まで立ち上げ、非選択ビット線B2、...を開放又は V_{DD} とする。非選択ビット線B2の印加電圧が V_{DD} の場合は、非選択メモリトランジスタM21のチャンネル電位が V_{DD} となるため、ゲートとチャンネル間に全く電圧が印加されず、読み出しに伴うソフトライト(弱い書き込み)が起こらない。もっとも、この場合の非選択ビット線B2にも電流が流れるため、消費電力節減のため開放とすることもある。この結果、選択メモリトランジスタM11のゲート閾値電圧 V_{th} の違いに応じて、選択ビット線B1に読み出し電流が流れ、その量を検出してセル情報を判別する。

【0087】従来、選択列に属する非選択セルに対するソフトライト防止のため、選択ビット線B1に印加する

読み出し電圧は1.5V程度しか印加できなかった。この読み出し方法では、選択ビット線電圧（読み出し電圧）を従来より高くし、その結果、高速読み出しが可能となった。また、この読み出し方法では、メモリトランジスタが過剰に消去されゲート閾値電圧が負のデブリーションになっている場合でも、読み出しが可能となった。すなわち、選択ビット線B1にメモリトランジスタM11を読み出す場合、従来では非選択行に選択トランジスタBT12がないため、メモリトランジスタM12が過剰消去された場合、ワード線W1のバイアス電圧が0Vであってもビット線B1からソース線VSSに電流が流れるため、ビット線B1から流れ出している電流が選択メモリトランジスタM11からの電流であるのか、非選択メモリトランジスタM12からの電流であるかが識別不可能であった。ビット線B1に接続されている非選択メモリトランジスタM12、…は、選択メモリトランジスタM11の数（即ち1）に比べ桁違いに多い。この非選択メモリトランジスタ数は、例えば、ビット線分割をした場合で31、ビット線分割をしないとすると1023にも達する。本例では、選択行のビット線選択トランジスタBT12、BT22、…がオフ状態なので、読み出し電圧を上げても非選択セルから電流が漏れだすことが防止されている。なお、消去の場合は、図17に示すバイアス電圧設定により、従来の同様にワード線単位での消去が可能である。

【0088】第4実施形態

本実施形態は、上述した第1～第3実施形態に示した如き3トランジスタ構成のメモリセルを、メモリセルアレイの一部に有する場合である。3トランジスタセル構成では前記したように高信頼性が確保できる一方で、従来構成に比べビット当たりのトランジスタ数が多いために、必然的に、メモリセルアレイ全体の専有面積が大きくなり易い。この場合に、第3実施形態のように構造的な工夫によって出来るだけセル面積増大を抑制することが重要となる。一方で、書き込みデータの種類によっては、一部に高信頼性を要求されないものがある。たとえば、音声記録の分野において、音声データは多少不良ビットを有するビット品質が良くないものでも、その不良発生頻度がある程度までなら実用上問題となることはないが、記録情報（日時、タイトル等）用のテキストデータは高信頼性が要求される。本実施形態は、このような場合に好適なメモリセルアレイ構成に関するものである。

【0089】図18は、本実施形態に係る不揮発性半導体記憶装置のメモリセルアレイの構成図である。このメモリセルアレイは、先の第1実施形態と同様なメモリセル構成の第1のメモリブロック（ブロックA）と、従来と同様な構成の第2のメモリブロック（ブロックB）とから構成されている。なお、図18では第2のメモリブロックとしてAND型を例示するが、この第2のメモリ

ブロック高密度化が可能なセル方式が望ましく、例えばNAND型等であってもよい。また、その他のNOR型も採用可能である。ブロックAは、第1及び第2の実施形態と同様な図1が適用でき、また、具体的な構造に限定はないが、省スペース化のためには先の第3実施形態と同様な構造が望ましい。また、ブロックBの具体的な構造に限定はないが、例えば図19及び図20に示す構成が採用できる。

【0090】ブロックAの書き込み、消去及び読み出しの制御方法は、先の第1～第3実施形態で述べたので、ここでの説明は省略する。この図のようにブロックBがAND型の場合、その制御は一般的な方法、例えば従来技術1、2と同様に行うことができる。また、ブロックBがAND型以外の場合、先に従来技術で述べたような各種制御方法が採用可能である。

【0091】本実施形態のメモリセルアレイ構成では、ブロックBが通常のNOR型構成のようにセル毎に選択トランジスタを有しないものであっても、このブロックB側で、あるメモリセルを選択した場合、ブロックA側がセル毎に選択トランジスタを有していることから、選択ビット線に連なるブロックA側のセルが誤って書き込まれてしまうことがないといった利点がある。また、読み出しにおいても、ブロックB側で、あるセルを読み出す場合に、ブロックAのメモリセルは選択トランジスタをオフにすることで選択ビット線から切り離すことができ、ブロックA側セルの過剰消去等に起因してブロックA側から選択ビット線に不要な電流が流れず、この結果、読み出し精度が高くなるといった利点がある。

【0092】本実施形態では、データの種類に応じた書き込み対象の割り当てが可能である。すなわち、先の音声記録の例では、3トランジスタセル構成のブロックA（この場合の容量は、例えば1ワード線分の512バイト）を比較的に高いビット品質が要求されるテキストデータの記録用に用い、従来構成のブロックBをビット品質が多少悪くてもよい音声データの記録用に用いることができる。これにより、データの記憶時に要求されるビット品質（データの種類）に応じて、そのビット品質を補償できる程度のディスタブ耐性を有する最適なブロックを選択して記憶することができる。つまり、全てのセルを3トランジスタ構成として全領域で高信頼性を保証すると、ディスタブ耐性が高いブロックに低いビット品質でよいデータが記憶されることがあるが、本実施形態では、そのような過剰品質をなくすることができる。ディスタブ耐性が高い3トランジスタ構成の高信頼性セルはディスタブ耐性が低い通常セルに比べ通常、専有面積が大きいが、記憶データに応じて高信頼性セルの全ビット数に占める割合を最適化することで、メモリセルアレイ全体の専有面積を必要最小限にすることができる。

【0093】

【発明の効果】本発明に係る不揮発性半導体記憶装置とその製造方法及び書き込み方法によれば、例えば低電圧駆動が可能なF Nトンネリングによる書き込み消去を行う際、ビット線とソース線の接続／遮断の制御を例えば行単位でできるので、選択セルと同一なワード線やビット線に連なる非選択セルが、電氣的な切り離しによりディスタープを全く受けないか、バイアス電圧設定の許容範囲が拡大することにより、ディスタープを原理的には受けうる場合でも実質上ディスタープフリーとなるバイアス電圧設定が可能となる。また、ディスタープに強くなつたふん駆動電圧を上げることができるうえ、メモリトランジスタとビット線又はソース線間の付加容量等の寄生成分が小さく、またワード線抵抗も小さくできるので、高速動作が可能なセル構成である。さらに、読み出しにおいても、ディスタープフリーとできる上、不純物拡散層による配線層を介したときのように、その抵抗変動による影響を受けなく高信頼性、高精度な読み出しが可能である。

【0094】セル内の3トランジスタのゲート電極を近接配置できるセル構造とその製造では、電極間絶縁の形成が容易化されている上、トランジスタ間の不純物領域の配置スペースが不要で、かつゲート電極が積層され自己整合コンタクトを有することから、セル面積の増大を極力抑えることができる。また、記憶データの種類に応じて3トランジスタセル構成のメモリブロックと通常のメモリブロックとの割り当てを制御する場合、ビット品質を保証しながらメモリセルアレイ全体の専有面積を必要最小限にすることができる。

【図面の簡単な説明】

【図1】本発明の本実施形態に係る不揮発性メモリ装置のメモリセル構成を示すメモリセルアレイの要部回路図である。

【図2】本発明の実施形態に係るメモリトランジスタの構成例を示す素子断面図であり、特にF G型の場合である。

【図3】同メモリトランジスタの他の構成例を示す素子断面図であり、特にMONOS型の場合である。

【図4】同メモリトランジスタの更に他の構成例を示す素子断面図であり、特にMNOS型の場合である。

【図5】本発明の第1実施形態に係る書き込み方法のバイアス電圧の印加箇所と設定条件を示す図と表である。

【図6】本発明の第2実施形態に係る書き込み方法のバイアス電圧の印加箇所と設定条件を示す図と表である。

【図7】図7(a)はセル配置例を示す4セル分の平面図、図7(b)は図7(a)の配置例に対応した等価回路図である。

【図8】図7(a)のA-A線に沿った断面図である。

【図9】本発明の実施形態に係る不揮発性メモリ装置の製造方法を示す素子断面図であり、第1オフセット絶縁膜の成膜までを示す。

【図10】図9に続く同断面図であり、選択ゲート電極加工までを示す。

【図11】図10に続く同断面図であり、F Gとなる多結晶シリコン膜の成膜までを示す。

【図12】図11に続く同断面図であり、誘電体膜の成膜までを示す。

【図13】図12に続く同断面図であり、第2オフセット絶縁膜の成膜までを示す。

【図14】図13に続く同断面図であり、ソース及びドレイン領域の低濃度不純物ドーブまでを示す。

【図15】図14に続く同断面図であり、ソース及びドレイン領域の高濃度不純物ドーブまでを示す。

【図16】図15に続く同断面図であり、層間絶縁層の形成までを示す。

【図17】図7のメモリセルアレイを例とした、第3実施形態に係る書き込み、消去及び読み出し方法のバイアス電圧設定条件を示す表である。

【図18】本発明の第4実施形態に係るメモリセルアレイの概略構成を示す図である。

【図19】従来技術1に係る一般的なAND型のメモリセルアレイの一部を示す回路図である。

【図20】図19に対応する部分についてのAND型メモリセルアレイの平面図である。

【図21】図19に示す従来のAND型アレイのバイアス電圧の一般的な設定条件を示す表である。

【図22】従来技術2に係る一般的な分離ソース線NOR型メモリセルアレイの基本構成と、書き込みバイアス条件を示す回路図である。

【図23】従来技術3に係る他の書き込みバイアス条件を示す、図22と同じ構成の回路図である。

【図24】従来技術4に係る共通ソース線NOR型メモリセルアレイの基本構成と、書き込みバイアス条件を示す回路図である。

【図25】従来技術5に係る一般的なNAND型メモリセルアレイの基本構成とバイアス条件を示す回路図であり、図25(a)は書き込み時、図25(b)は読み出し時である。

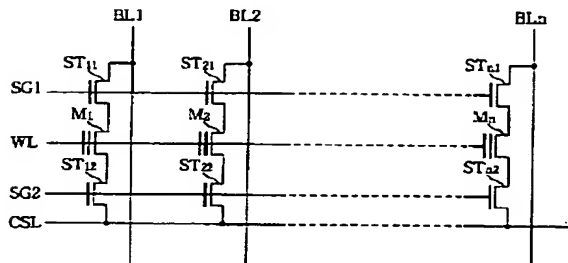
【符号の説明】

1、12…半導体基板（又は半導体層）、1a、16…ソース領域、1b、14…ドレイン領域、2…ゲート電極（又はコントロールゲート）、3a～3c…積層膜、4…ゲート絶縁膜、5…フローティングゲート（電荷蓄積手段）、6…中間絶縁膜、7、9…窒化膜、8…トップ酸化膜、10…メモリセルアレイ、13…素子分離領域、20、26…ゲート絶縁膜（第1又は第2のゲート絶縁膜）、22…ビット線選択トランジスタのゲート電極、24…ソース線選択トランジスタのゲート電極、28、32…オフセット絶縁膜、30…誘電体膜、34、36…サイドウォール絶縁膜、37…接続プラグ、38、42…導電層、40、44…高融点金属シリサイ

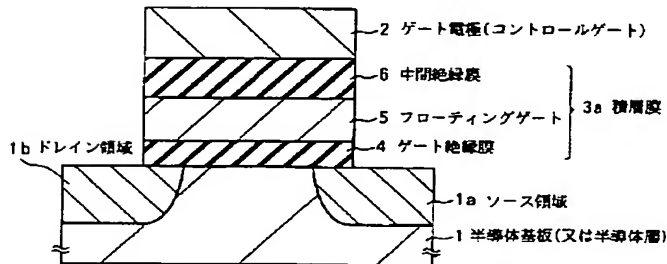
33

ド、46…ソース配線層（共通電位配線層）、48、50…層間絶縁層、M1～Mn、M22等…メモリトランジスタ、ST11～STn1、BT22等…ビット線選択トランジスタ（第1の選択トランジスタ）、ST12～STn2、ST22等…ソース線選択トランジスタ（第2の選択トランジスタ）、BC…ビットコンタクト、SC…ソースコンタクト、BL1（又はB1）、B*

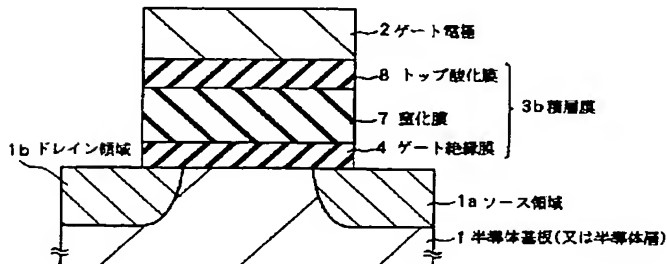
【図1】



【図2】



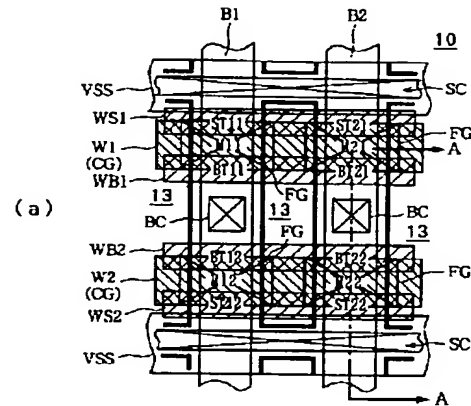
【図3】



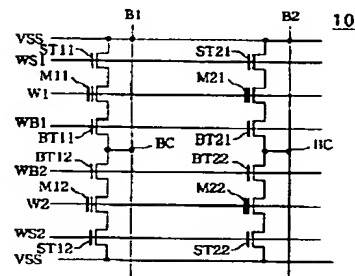
34

* L2（又はB2）…ビット線、WL1（又はW1）、WL2（又はW2）…ワード線、CSL（又はVSS）…ソース線（共通電位線）、WB2（又はSG1）等…ビット線選択信号線、WS2（又はSG2）等…ソース線選択信号線、FG…コントロールゲート、CG…フローティングゲート。

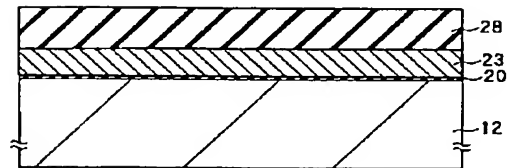
【図7】



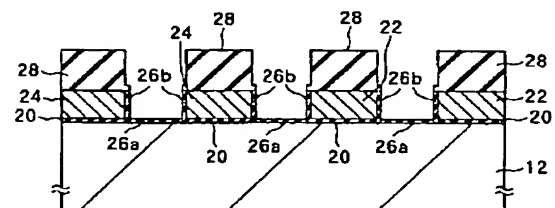
(b)



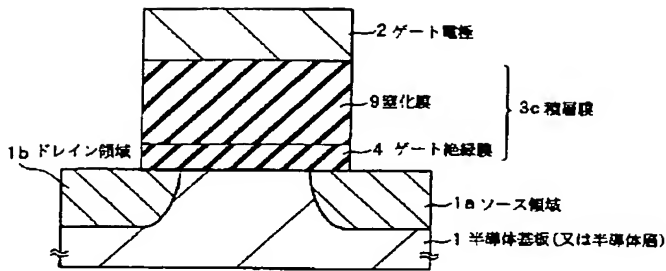
【図9】



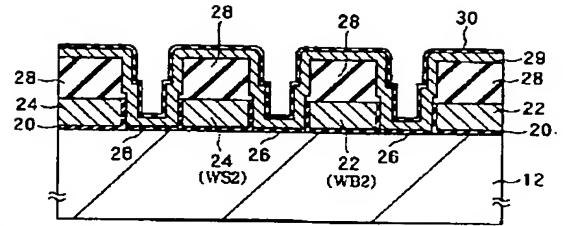
【図10】



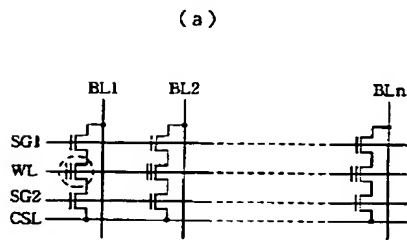
【図4】



【図12】



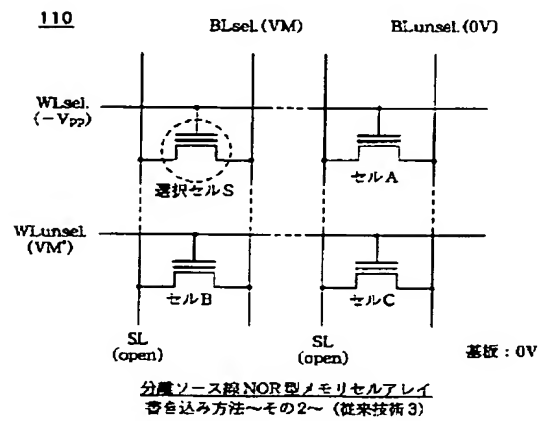
【図5】



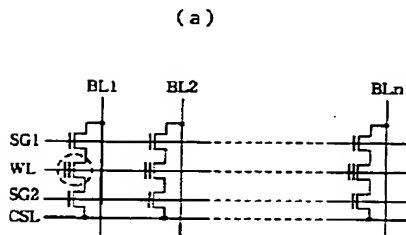
(b)

BL	0V/V _{DD}
SG1	V _{DD}
WL	V _{DD}
SG2	0V
CSL	0V
Bulk	0V

【図23】



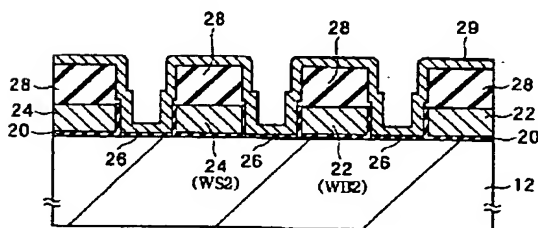
【図6】



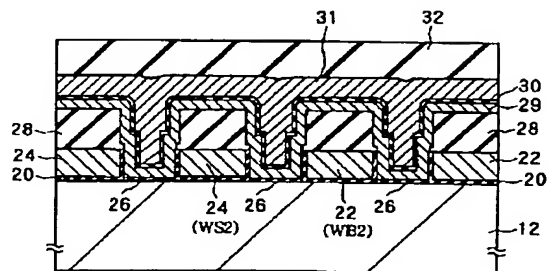
(b)

BL	V _{DD} /0V
SG1	V _{DD}
WL	-V _{DD}
SG2	0V
CSL	0V
Bulk	0V

【図11】



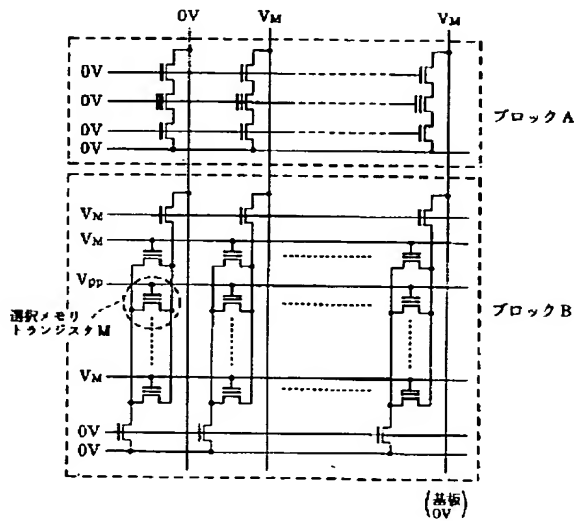
【図13】



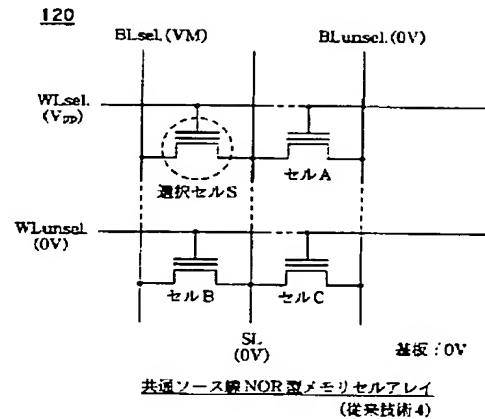
【図17】

	書込時	消去時	読出時
選択行のビット線選択信号線(WB1)	+20~22V	0V	+3V
非選択行のビット線選択信号線(WB2)	0V	0V	0V
選択行のソース線選択信号線(WS1)	0V	0V	+3V
非選択行のソース線選択信号線(WS2)	+3~20V	0V	+3V
選択ワード線(W1)	+20V	-20V	+3V
非選択ワード線(W2)	0V	0V	0V
選択ビット線(B1)	0V	0V	+3V
非選択ビット線(B2)	+20V	0V	開放又は3V
ソース線(VSS)	0V	0V	0V
基板	0V	0V	0V

【図18】



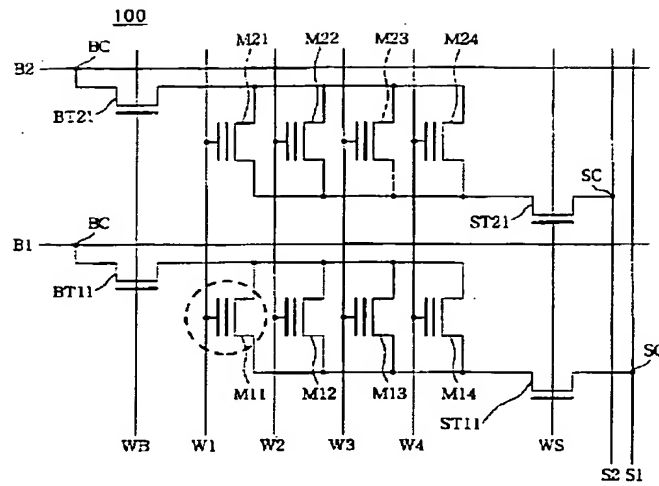
【図24】



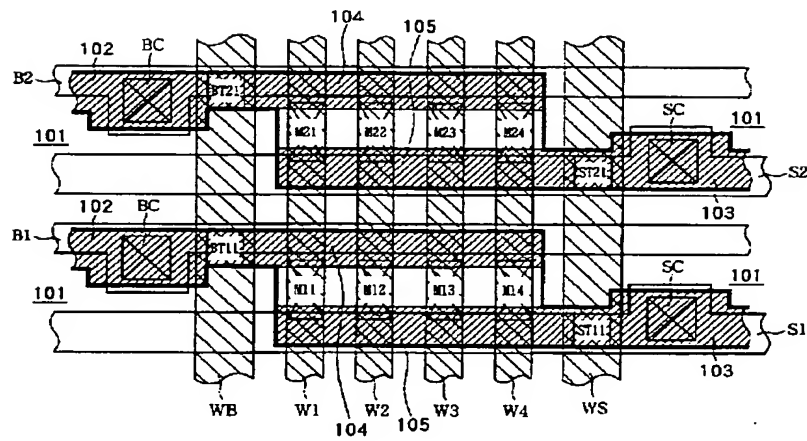
【図21】

	書込時	消去時	読出時
ビット線ブロック選択信号線(WB)	VM(+10V)	0V	Vcc(+3V)
ソース線ブロック選択信号線(WS)	0V	0V	Vcc(+3V)
選択ワード線	Vpp(+20V)	-Vpp(-20V)	Vcc(+3V)
非選択ワード線	0V	0V	0V
選択ビット線	0V	0V	VR(+1.5V)
非選択ビット線	VM(+10V)	0V	開放又はVR
ソース線	0V	0V	0V
基板	0V	0V	0V

【図19】

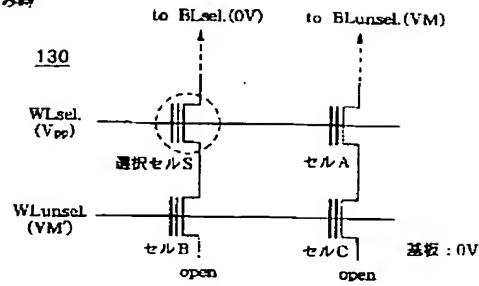


【図20】

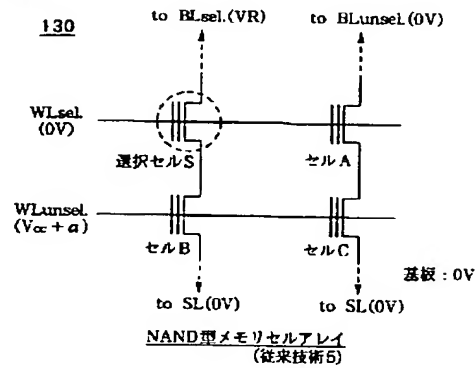


【図25】

(a) 書き込み時



(b) 読み出し時



フロントページの続き

(51)Int.Cl.⁶

H01L 27/115

識別記号

F I